

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349681
 (43)Date of publication of application : 15.12.2000

(51)Int.CI. H04B 1/707

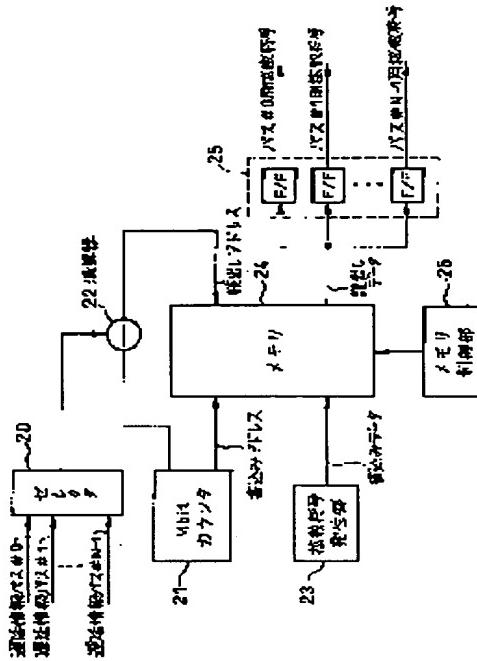
(21)Application number : 11-161768 (71)Applicant : NEC CORP
 (22)Date of filing : 09.06.1999 (72)Inventor : YAZAKI TAKAHIRO

(54) SPREAD SPECTRUM COMMUNICATION RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To configure a spread code generating circuit of each path with a comparatively small capacity memory and a comparatively small scale circuit.

SOLUTION: A spread code from a spread code generating section 23 is sequentially written in an address indicated by an Mbit counter 21 of a ring buffer memory 24. A selector 20 selects each delay information path in time division and gives a signal denoting the selected path to a subtractor 22. The subtractor 22 subtracts the delay information path from an address denoted in the Mbit counter 21 and reads the spread code from the memory 24 at the address resulting from the subtraction.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-349681
(P2000-349681A)

(43)公開日 平成12年12月15日 (2000.12.15)

(51)Int.Cl.
H 0 4 B 1/707

識別記号

F I
H 0 4 J 13/00

テマコト[®](参考)
D 5 K 0 2 2

審査請求 有 請求項の数8 OL (全7頁)

(21)出願番号 特願平11-161768
(22)出願日 平成11年6月9日(1999.6.9)

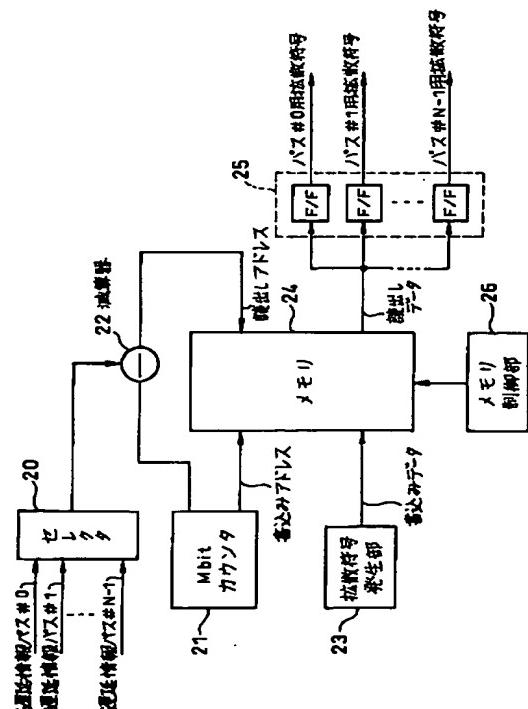
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 矢崎 孝弘
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 100088812
弁理士 ▲柳▼川 信
Fターム(参考) 5K022 EE02 EE32

(54)【発明の名称】 スペクトラム拡散信用受信機

(57)【要約】

【課題】 各バスの拡散符号発生回路を比較的小容量のメモリと、比較的小規模の回路により構成する。

【解決手段】 リングバッファメモリ24のMbitカウンタ21で示されるアドレスに拡散符号発生部23からの拡散符号が順次書き込まれる。セレクタ20は時分割にて各遅延情報バスを選択し、それを減算器22に入力する。減算器22はMbitカウンタ21で示されるアドレスから遅延情報バス分だけアドレスを減算し減算後のアドレスでメモリ24から拡散符号を読出す。



【特許請求の範囲】

【請求項 1】 マルチバス伝搬路からの各バスにおける遅延情報が格納される遅延情報格納手段と、拡散符号を発生する拡散符号発生手段と、この拡散符号発生手段で発生した拡散符号が順次格納される回転バッファと、前記遅延情報格納手段に格納された遅延情報に応じて前記回転バッファより前記拡散符号を読出す拡散符号読出し手段とを含むことを特徴とするスペクトラム拡散通信用受信機。

【請求項 2】 前記遅延情報格納手段に格納された遅延情報を時分割に選択する選択手段をさらに含み、前記拡散符号読出し手段はこの選択手段で選択された遅延情報に応じて前記回転バッファより前記拡散符号を読出すことを特徴とする請求項 1 記載のスペクトラム拡散通信用受信機。

【請求項 3】 前記拡散符号読出し手段は前記回転バッファへ前記拡散符号を書込む書き込みアドレスから前記遅延情報に示される遅延分だけ減じた値を読出しアドレスとすることを特徴とする請求項 1 又は 2 記載のスペクトラム拡散通信用受信機。

【請求項 4】 前記回転バッファは書き込みと読出しが別々のポートを有することを特徴とする請求項 1 乃至 3 いずれかに記載のスペクトラム拡散通信用受信機。

【請求項 5】 前記回転バッファへの前記拡散符号の書き込み及び読出しを同時に実行させる回転バッファ制御手段をさらに含むことを特徴とする請求項 1 乃至 4 いずれかに記載のスペクトラム拡散通信用受信機。

【請求項 6】 前記回転バッファは書き込みと読出しが共用のポートを有することを特徴とする請求項 1 乃至 3 いずれかに記載のスペクトラム拡散通信用受信機。

【請求項 7】 前記回転バッファへの前記拡散符号の書き込み及び読出しを時分割に実行させる回転バッファ制御手段をさらに含むことを特徴とする請求項 1, 2, 3 又は 6 いずれかに記載のスペクトラム拡散通信用受信機。

【請求項 8】 前記回転バッファ制御手段は前記回転バッファへの書き込みが 1 回に対して、書き込みを時分割に実行することを特徴とする請求項 1, 2, 3 6 又は 7 いずれかに記載のスペクトラム拡散通信用受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスペクトラム拡散通信用受信機に関し、特に複数のバスを受信する際の各バスの拡散符号を発生するスペクトラム拡散通信用受信機に関する。

【0002】

【従来の技術】 従来、この種の受信機における拡散符号の発生回路としては、例えば特開平 9-36778 号公報（以下、文献 1 という）に開示されるように、スペクトラム拡散信号の受信バス遅延を相対遅延として与えることによって、遅延時間が変化した場合の拡散符号を発

生させる回路の規模を縮小しようとするものがある。

【0003】 図 6 はこの文献 1 に開示された拡散符号発生回路の構成図である。図 6 を参照して、この拡散符号発生回路 8 は、相対バス情報の入力端子 1、基本インデックスの入力端子 2 およびチップクロックの入力端子 3 を有し、アドレス生成部 4、アドレスカウンタ部 5、メモリ部 6 及び出力端子 7 を備えている。アドレス生成部 4 には相対バス情報と基本インデックスが入力され、これらを加算することによって同期アドレスを生成して、アドレスカウンタ部 5 に出力している。アドレスカウンタ部 5 は同期補足器からのバス変更要求があった場合にアドレス生成部 4 で生成された同期アドレスをロードするデコーダ手段である。これは、例えば N (N は正の整数) 進カウンタで構成され、0 ~ N - 1 まで計測可能である。そしてチップクロックをクロック入力として、バス変更要求がアドレス生成部 4 から出された場合だけ、アドレス生成部 4 の同期アドレスが置数される。メモリ部 6 は、拡散符号のビット長分の記憶容量を有していて、ここにはあらかじめ逆拡散に使用される拡散符号が記憶されている。そしてアドレスカウンタ部 5 から入力されたカウント値に対応するメモリアドレス位置から、その記憶内容を拡散符号として出力端子 7 から読み出すように構成されている。

【0004】 又、この種の受信機の他の例が特開平 9-55715 号公報（以下、文献 2 という）及び特許第 2803661 号公報（以下、文献 3 という）に開示されている。

【0005】

【発明が解決しようとする課題】 文献 1 の第 1 の問題点は、あらかじめメモリ部にビット長分の拡散符号を記憶させておく点である。その理由は、スペクトラム拡散通信を移動通信の分野に応用した場合、複数の基地局を識別するために更に符号長の長い拡散符号を用いることが予想され、その場合には記憶させておくメモリの容量が増えてしまうからである。

【0006】 文献 1 の第 2 の問題点は、相対バス情報が一つしか入力されていない点である。その理由は、スペクトラム拡散では複数のマルチバスを受信し合成することによって利得をあげることを特徴としているが、複数のバスを受信しようとする場合には複数のメモリプロックを持つ必要があり回路規模が増大してしまうからである。又、文献 2 及び 3 にもこれらの問題点を解決する手段は開示されていない。

【0007】 そこで本発明の目的は、各バスの拡散符号発生回路を比較的小容量のメモリと、比較的小規模の回路とにより構成することが可能なスペクトラム拡散通信用受信機を提供することにある。

【0008】

【課題を解決するための手段】 前記課題を解決するためには本発明は、マルチバス伝搬路からの各バスにおける遅

延情報が格納される遅延情報格納手段と、拡散符号を発生する拡散符号発生手段と、この拡散符号発生手段で発生した拡散符号が順次格納される回転バッファと、前記遅延情報格納手段に格納された遅延情報を応じて前記回転バッファより前記拡散符号を読み出す拡散符号読み出し手段とを含むことを特徴とする。

【0009】又、本発明による他の発明は、前記遅延情報格納手段に格納された遅延情報を時分割に選択する選択手段をさらに含み、前記拡散符号読み出し手段はこの選択手段で選択された遅延情報を応じて前記回転バッファより前記拡散符号を読み出すことを特徴とする。

【0010】本発明によれば、拡散符号を回転バッファに書込むと同時に遅延情報を応じてその回転バッファより拡散符号を読み出すよう構成したため、拡散符号を書込むメモリとして従来よりも小容量のメモリを用いることが可能となる。

【0011】本発明による他の発明によれば、選択手段で選択された遅延情報を応じて回転バッファより拡散符号を読み出す、即ち回転バッファより時分割にて拡散符号を読み出すよう構成したため、回転バッファは1個で済ませることができる。従って、従来よりも小規模の回路で拡散符号発生回路を構成することが可能となる。

【0012】

【発明の実施の形態】まず、本発明の概要について説明する。本発明の各バスにおける拡散符号を生成する回路は、各バスの遅延を時分割に選択しメモリへ書込むカウンタのアドレス値から遅延分の値を減算することにより読み出しアドレスを決定し、時分割に読み出すことにより複数バスの拡散符号を生成する。

【0013】より具体的には、各バスの遅延情報を選択するためのセレクタ（図2の20）と、書き込み側のアドレスを生成するMbitカウンタ（図2の21）と、読み出し側のアドレスを計算する減算器（図2の22）と、拡散符号を一定長記憶するためのメモリ（図2の24）とを有する。

【0014】本発明では、各バスの遅延情報を時分割に選択し、書き込み側のアドレスから遅延情報を減算することにより読み出し側のアドレスを生成するために、一つのメモリを用いて複数のバスに必要な遅延後の拡散符号を生成することが可能となる。又、メモリへ一定長の拡散符号を書きながら読み出すため拡散符号の符号長が長いものにも対応が可能となる。

【0015】以下、本発明の実施の形態について添付図面を参照しながら説明する。まず、第1の実施の形態について説明する。図1は本発明に係るスペクトラム拡散通信用受信機のベースバンド処理部の構成図である。図1を参照して、ベースバンド処理部は相関器10と、バス検索部11と、拡散符号発生部12と、拡散符号生成部13と、相関器15と、相関値合成部16と、受信データ復調部17とを含んで構成される。

【0016】無線周波数からベースバンド周波数に変換されたデータは受信データとして相関器10へ入力される。ここでは、拡散符号発生部12から発生される拡散符号を掛け合わせることにより受信データの相関値を得ることができる。受信データに対して拡散符号を時間軸にずらすことにより各遅延時間での相関値を得ることができ、この結果をバス検索部11へ渡す。

【0017】バス検索部11では各遅延時間における相関値から相関の強い遅延時間を求め、バス遅延後の拡散符号生成部13へ報知する。バス遅延後の拡散符号生成部13では、バス検索部11から得られる遅延情報を元に拡散符号発生部12で発生される拡散符号に各バスの遅延を加える。

【0018】相関器15では、受信データにバス遅延後の拡散符号生成部13で得られた各バスの拡散符号を掛け合わせることにより各バスの相関値を求めることができる。その後相関値合成部16にて各バスの相関値を合成する。ここで得られるデータはあくまで逆拡散による復調結果のため、受信データ復調部17によりデータの復調を行う。

【0019】次に図2を用いて本発明の詳細を説明する。図2は図1におけるバス遅延後の拡散符号生成部13の構成図である。図2を参照して、拡散符号生成部13はセレクタ20と、Mbitカウンタ21と、減算器22と、拡散符号発生部23と、メモリ24と、F/F（フリップ・フロップ）25と、メモリ制御部26とを含んで構成される。

【0020】セレクタ20はバス検索部11（図1参照）から得られる各バスの遅延情報を時分割にて選択するものである。ある時間における遅延が選択されると減算器22ではMbitカウンタ21から得られるカウンタ値から選択されたバスの遅延情報を減算される。Mbitカウンタ21で生成されるカウンタ値はメモリ24への書き込みアドレスを生成し、又、減算器22で減算された値はメモリ24から読み出す際のアドレスを生成している。

【0021】拡散符号発生部23は拡散符号を常に発生し、Mbitカウンタ21のアドレス値に対応するデータが常にメモリ24へ書き込まれている。減算器22で生成されたアドレスを元にメモリ24から各バスの遅延した拡散符号が読み出される。F/F25では時分割された各バスの拡散符号が同じタイミングにてリタイミングされ、各バスの拡散符号として図2の相関器へと出力される。又、メモリ制御部26はメモリ24へのデータ書き込みタイミング及び読み出しタイミングを制御している。

【0022】次に、第1の実施の形態の動作の詳細について説明する。図3はバス遅延後の拡散符号生成部13の動作を示すタイミングチャートである。図2のセレクタ20に入力される各バスの遅延情報は図1のバス検索

部11で決定されるものであり、受信データの相関を求める際に到来電波がどの程度遅れてきたことを示し、このタイミングで拡散符号を逆拡散することにより、強い相関を持ち、データを復号することができるようになる。ここでは、入力がN（Nは正の整数）本あるため、最大Nバスの相関値を求めることができる。

【0023】続いてMbitカウンタ21の動作について説明する。このカウンタ21はメモリ24へ拡散符号発生部23で発生された拡散符号を書き込む際のアドレスを発生するものである。カウンタ21のbit数はメモリ空間の大きさによって変わってくる。例えばバスの遅延を256チップまで保証したい場合、256のアドレスが存在することになるため8bitのカウンタが必要となる。つまりバスの許容される遅延分によりこのカウンタのbit数が決まることになる。つまりメモリ24はカウンタ値に応じて常に拡散符号が書き込まれ、同時に読み出しも行われる回転バッファ（リングバッファ）になっている。読み出し側のアドレスは減算器22において書き込みのアドレスから遅延時間分の値を減算することにより求めることができる。

【0024】図3を参照して、例えばこのタイミングチャートでは書き込み側のMbitカウンタ21が”5, 6, 7, 8, , , ”といったようにカウントアップされている（図3の40参照）。又、図3の41では各バスの遅延時間がそれぞれ設定されている。例えばバス遅延#0では遅延時間が”2”と設定されているため、読み出し側のアドレスとしては”5”から”2”を減算し”3”となる（42の42a参照）。つまり、書き込み側ではアドレス”5”に対応している拡散符号を書き込んでいるが、読み出し側ではアドレス”3”に対応する拡散符号を読み出していることとなり、時間的に”2”分の遅延が生じていることとなる。同様に遅延情報バス#1では”3”的遅延が設定されているため、アドレス”5”に対応している拡散符号を書き込んでいるが、読み込み側では”3”を減算したアドレス”2”的内容が読み出されることになる（42の42b参照）。

【0025】そして、43のバスアドレス出力としては、バス#0に対しては2、バス#1に対しては1、バス#N-1に対しては3が出力される。先の42における読み出しアドレスより数値が1だけ小さいのはF/F25は減算器22の読み出しタイミングより1クロック後にセットされるからである。

【0026】本発明では書き込み側で1アドレス分のデータを書き込む時間でN個のデータを読み出すために書き込みに対して読み出し側ではN倍のスピードで読み出す必要がある。この書き込み読み出し制御をメモリ制御部26が行っている（図2参照）。このように様々な遅延時間をセレクタ20により設定し選択することにより読み出し側では各バスの遅延後の拡散符号出力を得ることができる。

【0027】本発明では常に書き込みをしながら読み出しを

行うため、バスを遅延させる時間はメモリサイズによって決定される。つまり、遅延分散の大きい電波を受信する際は大きなメモリを持つ必要がある。しかしながら、従来のようにあらかじめメモリにビット長分の拡散符号を記憶させ、その拡散符号を遅延させるのではなく、発生される拡散符号を書き込みながら一方で読み出しを行うため、周期の長い拡散符号に対しても随時拡散符号を遅延させることができるとなる。メモリから読み出した値はF/F25によってリタイミングされ、各バスの遅延した拡散符号を同時にに出力することが可能となる（図3の43参照）。

【0028】次に、第2の実施の形態について説明する。図4は第2の実施の形態（バス遅延後の拡散符号生成部13）の構成図、図5は第2の実施の形態の動作を示すタイミングチャートである。なお、図4において図2の第1の実施の形態の構成図と同様の構成部分については同一番号を付し、その説明を省略する。図4から分かるように、第2の実施の形態と第1の実施の形態との構成上の相違点はメモリ24のポート数と、メモリ制御部31だけである。

【0029】第2の実施の形態では、図2のメモリ24をシングル入出力のメモリを用いた場合として説明する。第1の実施の形態と同様に書き込みアドレスはMbitカウンタ21より発生し、読み出しアドレスはMbitカウンタ21の値から各バスの遅延情報を減算器22によって減算することにより求める。第1の実施の形態では書き込みと読み出しのアドレスとデータはそれぞれのポートより得ていたが、第2の実施の形態ではシングルポートのメモリを用い、書き込みと読み出しを時分割に行うことにより実現する。

【0030】図5のタイミングチャートを参照すると、図5の50は書き込みアドレスの値であり、1/(N+1)の時間で書き込みを終了する。その後書き込みアドレス値から各バスの遅延時間を減算した値により読み出しアドレスを生成し、そのアドレスのデータを用いて時分割に各バスの拡散符号を読み出す。書き込み（Write）と読み出し（Read）のストローブ（probe）信号を図5の53に示す。読み出しが終わった値はF/F25によってリタイミングされ、各バスの拡散符号を発生する（図5の54参照）。

【0031】例えば、図5を参照すると、まずアドレス5をメモリ24に書き込み（Read/Writeアドレス52の52a参照）、次にアドレス3を読み出し（同52の52b参照）、以後アドレス2, …, 4を順次読み出す。この書き込み読み出しタイミングをメモリ制御部31が制御している。

【0032】

【発明の効果】本発明によれば、マルチバス伝搬路からの各バスにおける遅延時間情報が格納される遅延時間情報格納手段と、拡散符号を発生する拡散符号発生手段

と、この拡散符号発生手段で発生した拡散符号が順次格納される回転バッファと、前記遅延時間情報格納手段に格納された遅延時間情報に応じて前記回転バッファより前記拡散符号を読み出す拡散符号読み出し手段とを含んで構成したため、即ち拡散符号を回転バッファに書込むと同時に遅延時間情報に応じてその回転バッファより拡散符号を読み出すよう構成したため、拡散符号を書込むメモリとして従来よりも小容量のメモリを用いることが可能となる。

【0033】又、本発明による他の発明によれば、前記遅延時間情報格納手段に格納された遅延時間情報を時分割に選択する選択手段をさらに含み、前記拡散符号読み出し手段はこの選択手段で選択された遅延時間情報に応じて前記回転バッファより前記拡散符号を読み出す構成であるため、即ち回転バッファより時分割にて拡散符号を読み出す構成であるため、回転バッファは1個で済ませることができる。従って、従来よりも小規模の回路で拡散符号発生回路を構成することが可能となる。

【図面の簡単な説明】

【図1】本発明に係るスペクトラム拡散通信用受信機のベースバンド処理部の構成図である。

【図2】バス遅延後の拡散符号生成部13の構成図である。

【図3】バス遅延後の拡散符号生成部13の動作を示すタイミングチャートである。

【図4】第2の実施の形態（バス遅延後の拡散符号生成部13）の構成図である。

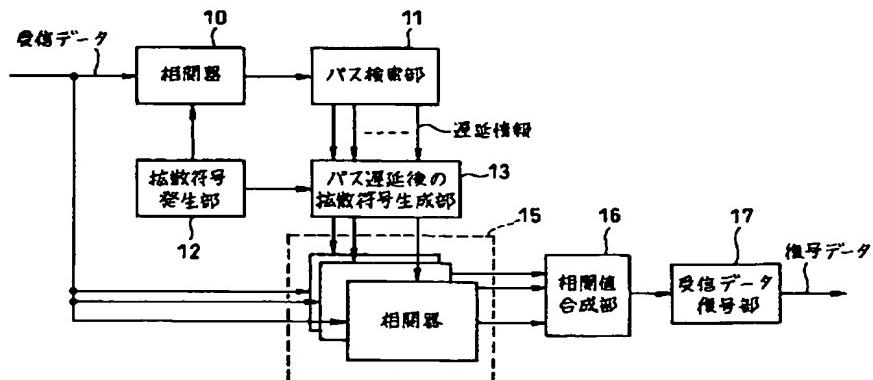
【図5】第2の実施の形態の動作を示すタイミングチャートである。

【図6】文献1に開示された拡散符号発生回路の構成図である。

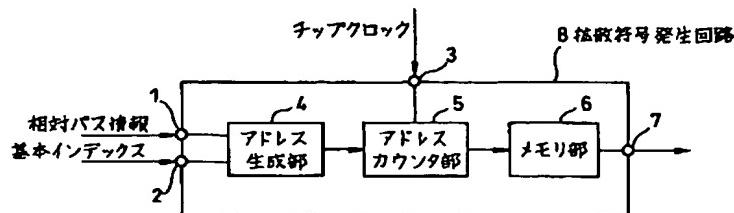
【符号の説明】

- 10, 15 相関器
- 11 パス検索部
- 12 拡散符号発生部
- 13 バス遅延後の拡散符号生成部
- 16 相関値合成部
- 17 受信データ復調部
- 20 セレクタ
- 21 Mbitカウンタ
- 22 減算器
- 23 拡散符号発生部
- 24 メモリ
- 25 F/F
- 26, 31 メモリ制御部

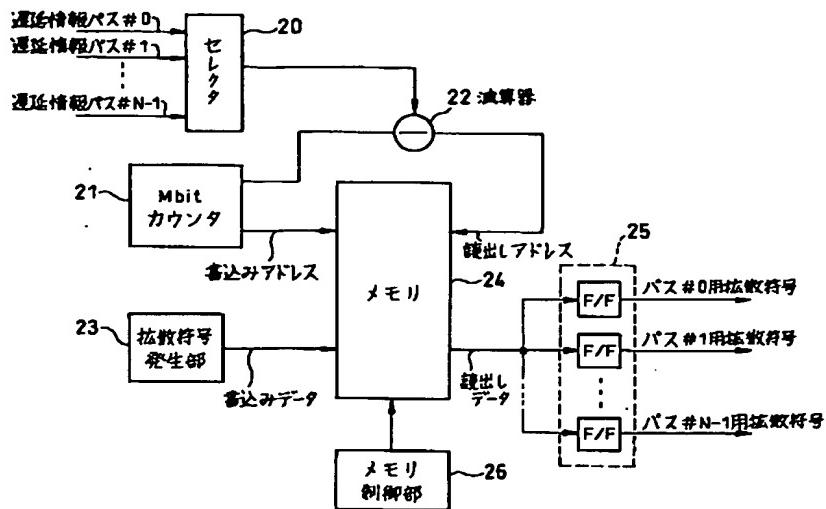
【図1】



【図6】



【図2】



【図3】

40～カウンタ値 書き込みアドレス	5	6	7	8	
バス遅延#0	2				
バス遅延#1	3				
バス遅延#N-1	1				
42～書き出しアドレス	42a 42b	3 2 1 --- 4 4 3 2 --- 5 5 4 3 --- 6 6 5 4 --- 7			
43～ バス#0 アドレス出力 バス#1 アドレス出力 バス#N-1 アドレス出力	2	3	4	5	
	1	2	3	4	
	3	4	5	6	

【図5】

50～カウンタ値 書き込みアドレス	5	6	7	8	
バス遅延#0	2				
バス遅延#1	3				
バス遅延#N-1	1				
52～Read/Write アドレス	52a 52b	5 3 2 --- 4 6 4 3 --- 5 7 5 4 --- 6 8 6 5 --- 7			
53～Read/Write Strobe	R	R			
W	W				
54～ バス#0 アドレス出力 バス#1 アドレス出力 バス#N-1 アドレス出力	2	3	4	5	
	1	2	3	4	
	3	4	5	6	

【図4】

